

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-066963

(43)Date of publication of application : 25.03.1988

(51)Int.Cl.

H01L 27/10
H01L 21/76
H01L 27/04

(21)Application number : 61-211009

(71)Applicant : NIPPON TELEGR & TELEPH
CORP <NTT>

(22)Date of filing : 08.09.1986

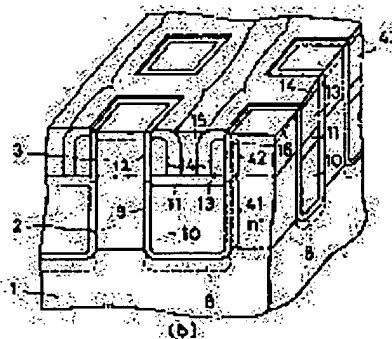
(72)Inventor : MINEGISHI KAZUSHIGE
MORIE TAKASHI
MIURA KENJI
NAKAJIMA BAN

(54) GROOVE-BURIED SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To suppress an area loss due to a mask aligning margin in a cell to the minimum limit, to effectively prevent an electric interference between cells and to be able to achieve 1~2 μm^2 of cell area by forming a capacitor on the lower part of the side of an insular silicon divided by latticelike grooves, and forming MIS FET on the top of the side.

CONSTITUTION: A second conductivity type first semiconductor layer 2 and a first conductivity type second semiconductor layer 3 are laminated on a first conductivity type semiconductor substrate 1, and the layers 2, 3 are insularly separated by latticelike grooves of the depth which arrives at a substrate 1. First insulating films 9 are formed on the side of the layer 2 and in the bottom of the groove, a first conductor 10 is buried in the bottom of the groove through the film 9 on the side of the layer 2, and a capacitor 41 is formed by the layer 2, the film 9 and the conductor 10. A second conductivity type diffused layer 16 is formed on the upper surface of the layer 3, a second insulating film 12 is formed on the side of the layer 3, a



second conductor 13 is formed in the groove on the film 12 by insulating it from the conductor 10, and an FET 42 is formed of the layers 2, 3, the layer 16, the film 12 and the conductor 13.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-66963

⑤ Int. Cl.⁴H 01 L 27/10
21/76
27/04

識別記号

3 2 5

庁内整理番号

F-8624-5F
D-7131-5F
C-7514-5F

④ 公開 昭和63年(1988)3月25日

審査請求 未請求 発明の数 2 (全11頁)

④ 発明の名称 溝埋込型半導体装置およびその製造方法

① 特 願 昭61-211009

② 出 願 昭61(1986)9月8日

⑦ 発 明 者 峯 岸 一 茂 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
社厚木電気通信研究所内

⑦ 発 明 者 森 江 隆 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
社厚木電気通信研究所内

⑦ 発 明 者 三 浦 賢 次 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
社厚木電気通信研究所内

⑦ 発 明 者 中 島 著 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
社厚木電気通信研究所内

⑦ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑦ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

溝埋込型半導体装置およびその製造方法

2. 特許請求の範囲

(1) 第1の導電型を有する半導体単結晶基板上に第2の導電型を有する第1の半導体単結晶層と第1の導電型を有する第2の半導体単結晶層が積層され、該第1と第2の半導体単結晶層が該半導体単結晶基板に達する深さの格子状の溝によって島状に分離されており、該第1の半導体単結晶層の側面と該溝の底部に第1の絶縁膜が形成され、該第1の半導体単結晶層の側面に該第1の絶縁膜をはさんで第1の導電体が該溝の底部に埋め込まれ、該第1の半導体単結晶層と該第1の絶縁膜と該第1の導電体とによりキャパシタが形成され、該第2の半導体単結晶層の該第1の半導体単結晶層とは反対側の面に第2の導電型を有する拡散層が形成され、該第2の半導体単結晶層の側面に第2の絶縁膜と当該第2の絶縁膜上の該溝の内部に第2の導電体が該第1の導電体と絶縁されて形成

され、該第1の半導体単結晶層と該第2の半導体単結晶層と該拡散層と該第2の絶縁膜と該第2の導電体とにより電界効果トランジスタが形成された構造を有することを特徴とする溝埋込型半導体装置。

(2) 第1の導電型を有する半導体単結晶基板上に該第1の導電型とは異なる第2の導電型を有する第1の半導体単結晶層を形成しさらに第1の導電型を有する第2の半導体単結晶層を積層する工程と、該第1と第2の半導体単結晶層を該半導体単結晶基板に達する深さを有しかつ一方の溝幅が他方向の溝幅よりも狭い格子状の溝によって島状に分離する工程と、該第1の半導体単結晶層の側面と該溝の底部に第1の絶縁膜を形成する工程と、該第1の半導体単結晶層の側面に該第1の絶縁膜をはさんで第1の導電体を該溝の底部に埋め込む工程と、該第2の半導体単結晶層の該第1の半導体単結晶層とは反対側の面に第2の導電型を有する拡散層を形成する工程と、該第2の半導体単結晶層の側面に第2の絶縁膜を形成する工程と、

該第2の絶縁膜上の該溝の内部に第2の導電体を溝幅の狭い方の溝内部でつなげて接続しかつ溝幅の広い方の溝内部でつなげないで隔てて絶縁し更に該第1の導電体と絶縁して形成する工程とを具備したことを特徴とする溝埋込型半導体装置の製造方法。

3.発明の詳細な説明

[産業上の利用分野]

本発明は、ダイナミック・ランダム・アクセス・メモリにおける微細なメモリセル構造よりなる溝埋込型半導体装置およびその製造方法に関するものである。

[従来の技術]

1個のトランジスタと1個のキャパシタから成るダイナミック・ランダム・アクセス・メモリ(以下DRAMと略記する)の高密度化を達成するために種々のメモリセル構造が提案されている。その一つにシリコン基板表面に形成した溝の中にキャパシタとトランジスタの一部を埋め込む方法(W. F. Richardson 他による IEDM Tech. Dig.

714頁(1985年))が提案されている。この方法を以下図面を用いて説明する。第16図(a)、(b)はそれぞれ該従来法によるDRAMセルの平面図および第16図(a)のI-I断面図である。穴30内の下部に誘電体薄膜よりなるキャパシタ用絶縁膜9を介してキャパシタ電極31が埋め込まれている。キャパシタの他方の電極はp形シリコン基板1を用いている。穴30内の上部側面にはトランジスタのチャネル領域33が形成され、キャパシタ部とトランジスタの境に不純物拡散層から成るドレイン領域のn形拡散層32、穴30の上部コーナー部に不純物拡散層から成るソース領域のn形拡散層35(ピット線として働く)が形成されている。さらに、ゲート電極13(ワード線として働く)により穴30が埋め込まれている。セル間(ピット線間)は選択酸化法により形成されたシリコン酸化膜34により分離されている。

上記従来の利点は、(i)穴側面にキャパシタとトランジスタを形成しているために、セル面積の縮小が容易に実現できること、(ii)蓄積電荷を穴内部

にためこむので、アルファ線によるセル部のソフトエラーに対して耐性が向上することである。

[発明が解決しようとする問題点]

しかし、100メガビット級セル(セル面積 $\sim 1\mu\text{m}^2$)を実現するには以下のような問題がある。(i)セル間の分離を選択酸化法によりシリコン基板の主面上に形成しているため、分離領域を0.5 μm 以下にすることは極めて困難である。(ii)第16図(a)に示す拡散層と穴の合わせ余裕XおよびY(X'は拡散層35の形成に必要な領域幅)が必要のためセル面積の縮小に限界がある。さらに(iii)セル間(穴間)を接近させた場合、隣接するセルの不純物拡散層間でパンチスルーが生じ、セル間の電氣的干渉が生じるという欠点がある。

本発明の目的は、セル部におけるマスク合わせ余裕による面積ロスを最小限に抑え、かつセル間の電氣的干渉を確実に防止し、かつセル面積1 $\sim 2\mu\text{m}^2$ を実現可能とする超微細メモリセルのための溝埋込型半導体装置の構造およびそのメモリセルを従来のメモリセルの製造で使われるリソグラフィ

フィー用マスクの層数よりも少ない層数で製造する製造方法を提供することにある。

[問題点を解決するための手段および作用]

本発明は、1方向の溝幅が他方向の溝幅より狭い格子状の溝で分割された島状のシリコンの側面下部にキャパシタが形成され、側面上部にMIS形電界効果トランジスタ(以下MIS形FETと略記する)が形成され、溝幅の狭い溝で隔てられた隣接の上記トランジスタのゲートが互いに接続されてワード線を形成し、溝幅の広い溝で隔てられた隣接の上記トランジスタの基板主面側に形成された拡散層が該溝幅の広い溝の上を横切る電気配線により接続されてピット線を形成していることを最も主要な特徴とする。

従来の技術とは、キャパシタおよびMIS形FETが形成されている領域が格子状の溝により分割された島状のシリコンの側面であること、セル間の分離は溝により行われていること、セル部の形成に必要なリソグラフィ用マスク層数は、従来、

ット線形成用の2層のみで良いことが異なる。

[実施例]

以下の実施例では、MIS形FETとしてnチャネル形を基本に説明するが、導電形をすべて逆にすればpチャネル形にすることができる。

実施例1

第1図(a)、(b)および(c)は本発明の第1の実施例を説明する図である。第1図(a)は本発明の第1の実施例による半導体装置の平面図、第1図(b)はワード線までを形成した半導体装置の鳥瞰図、第1図(c)はビット線までを形成した半導体装置の鳥瞰図である。本実施例では、第1図(b)に示すようにp形シリコン基板1上に形成されたn形シリコン薄膜2およびp形シリコン薄膜3の積層膜を貫通して格子状の溝が形成されており、該溝に分割された島状の上記積層膜のn形シリコン薄膜2の側面にはキャパシタ41が形成されており、p形シリコン薄膜3の側面にはMIS形FET42が形成されている。さらに、該溝の一方の溝幅は他方向の溝幅より狭く形成されていて、狭い溝幅の溝で

上記の例では、n形シリコン薄膜2とp形シリコン薄膜3を形成するのにCVD法を用いて単結晶薄膜をエピタキシャル成長させたが、これらの薄膜の膜厚が薄くても良い場合には、イオン注入法を用いて形成することができる。例えば、n形シリコン薄膜2はリンを1 MeVのイオンエネルギーでシリコン基板に注入すると平均のリンの注入深さは1.1 μm 程度なので、これを1000℃で1時間熱処理することによって、1.1 μm の深さよりも若干広がったn形シリコン領域をn形シリコン薄膜2として得ることができる。また、p形シリコン薄膜3は、ホウ素を50 keVのイオンエネルギーで注入すると平均のホウ素の注入深さは0.16 μm 程度となるので、1000℃で30分熱処理することにより0.16 μm の深さよりも若干広がったp形シリコン領域をn形シリコン領域の上層にp形シリコン薄膜3として得ることができる。イオンの注入量については、精密な実験を行なうことにより所望の値の不純物濃度となるように決める

ことができる。

分割された隣接のMIS形FET42のゲートは互いに接続されていてワード線43を形成している。第1図(c)に示すようにMIS形FET42の基板主面に形成された拡散層16(ソース領域)は、溝幅の広い溝の上を横切るビット線44により接続されている。

次に、第1図(a)ないし(c)に示した構造の半導体装置の製造方法について第2図ないし第12図を用いて説明する。第2図に示すようにp形シリコン基板1上に公知の化学的気相成長法(以下CVD法と略記する)によりn形シリコン薄膜2をエピタキシャル成長させる。n形シリコン薄膜中の不純物濃度は、例えば $5 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 、膜厚は例えば4~10 μm とする。続いて、p形シリコン薄膜3をエピタキシャル成長させる。p形シリコン薄膜3中の不純物濃度は例えば、 $5 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-3}$ 、膜厚は1~3 μm とする。上記n形シリコン薄膜中の不純物としては例えば、ヒ素、アンチモンあるいはリンを用いる。p形シリコン薄膜の不純物としては例えばホウ素を用いる。

次に、第3図に示すように、p形シリコン薄膜3の表面を酸化して、シリコン酸化膜4を形成したのち、公知のCVD法によりシリコン窒化膜5およびシリコン酸化膜6を堆積する。シリコン酸化膜4、シリコン窒化膜5およびシリコン酸化膜6の膜厚は例えば、20~50 nm、100~200 nm、0.5~2 μm とする。CVD法により堆積したシリコン酸化膜6は、以下の製造工程で示すように、シリコン酸化膜をエッチング加工するときのマスクとして使用するものであり、例えば、リンガラス(PSG)に変えてもよい。

第4図(a)および(b)に示すように、公知のホトリソグラフィあるいは電子線あるいはX線リソグラフィにより格子状の溝をパターンニングしたレジストパターン7をマスクに、シリコン酸化膜6、シリコン窒化膜5およびシリコン酸化膜4の積層膜をエッチングしてレジストパターン7のパターンを転写する。

ここで図番号の添字(a)および(b)は第1図(a)における、それぞれⅡ-ⅡおよびⅢ-Ⅲ方向でシリコ

ン基板を切断したときの断面図である。以下各図において同様とする。上記パターンニングにおいて注意すべきことは、Ⅱ-Ⅱ断面図においてレジストの除去された幅 W_1 は、Ⅲ-Ⅲ断面図における W_2 よりも広いことである。例えば、 W_1 、 W_2 をそれぞれ $0.8\mu\text{m}$ 、 $0.4\mu\text{m}$ とする。また、残されたレジストパターン7は例えば一辺 $0.5\mu\text{m}$ の正方形とする。なお上記数値は、単なる例であり、 W_1 が W_2 より大きい条件を満たしさえすれば任意である。上記積層膜のエッチングには、例えば反応性イオンエッチング(以下RIEと略記する)装置を用いてレジストパターン7を忠実に転写する。RIEにおいては、例えば、 CF_4 と水素の混合ガスを用いてエッチングを行うと、上記積層膜の側壁をほとんど垂直にパターンニングできる。

次に、レジストパターン7を除去したのち、CVD法により形成したシリコン酸化膜6をマスクにRIE法によりp形シリコン薄膜3、n形シリコン薄膜2およびシリコン基板1の一部をエッチングして格子状の溝を形成する(第5図(a)および(b))。

たは熱窒化によるシリコン窒化膜あるいは、五酸化タンタルを用いる。以下では、シリコン酸化膜を用いた場合を説明する。シリコン酸化膜のキャパシタ用絶縁膜9を形成後、キャパシタの一方の電極となる導電体10を堆積し、溝を埋め込む。導電体10として、例えば、リンをドーブした多結晶シリコンを用いる。堆積膜厚は $W_1/2$ より大きくとり、幅 W_1 の溝を埋め込む。リンのドーピング法としては、多結晶シリコンを堆積するときに同時にホスフィンを添加する方法あるいは、リンを添加しない多結晶シリコンを堆積した後、リンをイオン注入して拡散させる方法、または、 POCl_3 を用いてリンを拡散させる方法がある。溝が深く、かつ開口部が狭い場合には、多結晶シリコンの表面からリンを拡散させる方法では溝深部まで拡散が十分に行えない。そのため、溝内面に薄く多結晶シリコン膜を堆積したのちリンを拡散させ、再度多結晶シリコン膜の堆積およびリン拡散を繰り返す方法を用いてもよい。

次に、第7図(a)および(b)に示すように多結晶シ

上記p形およびn形シリコン薄膜3、2の膜厚を例えばそれぞれ $2\mu\text{m}$ ・ $5\mu\text{m}$ とすると、p形シリコン薄膜の上面より測った溝深さは、例えば $7\sim 8\mu\text{m}$ とする。上記RIEにおいては、例えば塩素、 SiCl_4 ・ SF_6 ・ CF_4 等のハロゲン元素を含むガスを用いる。エッチング速度の向上、エッチングマスク材料とシリコンとのエッチングの選択性を向上させるために、上記ガスを混合して用いてもよい。また、上記ガスにアルゴンガス、酸素を混合してエッチングしてもよい。上記RIEによるシリコンのエッチングのうち、溝底部にホウ酸をイオン注入して、濃度 $1\times 10^{16}\sim 1\times 10^{18}\text{cm}^{-3}$ のp形高濃度領域8を形成する。このp形高濃度領域8は、表面反転層の形成によるセル間のリークを防ぐためのものである。

次に、CVD法によるシリコン酸化膜6をフッ素を含む混合液により除去したのち、第6図(a)および(b)に示すようにキャパシタ用絶縁膜9を形成する。キャパシタ用絶縁膜9として、例えば、溝内面を酸化したシリコン酸化膜あるいは、CVD法ま

りコン膜の導電体10をエッチバックして溝内残のみ残す。溝内に残存する多結晶シリコン膜の導電体10の表面位置は、n形シリコン薄膜2とp形シリコン薄膜3の境界と同レベル、あるいはn形シリコン薄膜2側とする。これは、以下の工程でキャパシタの上部に形成されるFETのゲートがオフセットになることを避けるためである。上記エッチバックは、シリコン薄膜のエッチングで述べた方法により、エッチング用マスクを用いずに行う。

続いて、第8図(a)および(b)に示すように溝内に埋設した多結晶シリコン膜の導電体10の上に絶縁膜11を形成し、p形シリコン薄膜の側面にゲート絶縁膜12を形成し、ゲート電極13を形成する。絶縁膜11としては、例えば多結晶シリコン膜の導電体10の表面を酸化して形成したシリコン酸化膜を用いる。それを形成するには以下の方法を用いる。まず、第7図の構造を得たのち、溝内面にCVD法により厚さ $50\sim 100\text{nm}$ のシ

リコン窒化膜を堆積したのち、RIE法により溝側

面のシリコン窒化膜のみを残して、他の領域のシリコン窒化膜を除去する。RIE法には、例えば、 CF_4 と水素の混合ガスを用いる。次に、露出した多結晶シリコン膜の導電体10の表面を酸化してシリコン酸化膜の絶縁膜11を形成したのち、等方性のエッチング法により溝側面に残存するシリコン窒化膜を除去する。等方性のエッチング法としては、例えば160℃～180℃に加熱したリン酸を用いる。なお、このときのエッチングでシリコン窒化膜5の表面もわずかにエッチングされるが、後工程には影響しない。

以上の工程によりシリコン酸化膜の絶縁膜11を形成したのち、p形シリコン薄膜3の側面に形成されているシリコン酸化膜のキャパシタ用絶縁膜9をフッ酸を含む混合液により除去したのち、第8図(a)および(b)に示すように、p形シリコン薄膜3の側面にゲート絶縁膜12を形成する。ゲート絶縁膜12としては、例えばp形シリコン薄膜3の側面を酸化して形成したシリコン酸化膜を用いる。続いて、ゲート電極13として例えばリン

シリコン膜13上に絶縁膜14を形成する。

多結晶シリコン膜13のエッチバックにおいては、シリコン薄膜のエッチングで述べたRIE法により、エッチングマスクを用いずに行うと、第8図(a)および(b)で示した、多結晶シリコン膜の表面形状を反映したエッチングが行われる。エッチングは、溝側面に残される多結晶シリコン膜の上面がp形シリコン薄膜3の上面とほぼ一致するまで行う。その結果、第9図(a)に示すように溝幅の広い溝の底部に堆積した多結晶シリコン膜13はエッチングされるため、対向する溝側面に堆積した多結晶シリコン膜13は分離される。一方、溝幅の狭い溝においては、第9図(b)に示すように溝内に空隙を残すことなく、多結晶シリコン13により溝が埋め込まれる。

続いて、多結晶シリコン膜13上の絶縁膜14として、例えば多結晶シリコン13の表面を酸化してシリコン酸化膜を形成する。

次に、シリコン窒化膜5を加熱したリン酸により除去したのち、第10図(a)および(b)に示すよう

をドーブした多結晶シリコン膜を堆積する。ここで重要なことは、溝幅の狭い溝においては対向する溝側面に堆積した多結晶シリコン膜が互いに接触して溝を埋め込む(第8図(b))のに対して、溝幅の広い溝においては、対向する溝側面に堆積した多結晶シリコン膜の間に空隙を残すことである。これを実現するには、堆積する多結晶シリコン膜の膜厚を $W_2/2$ より大きく $W_1/2$ より小さくすればよい。例えば、 W_1, W_2 をそれぞれ0.8 μm 、0.4 μm とすれば、多結晶シリコン膜の膜厚としては0.3 μm とすれば良い。このような膜厚の多結晶シリコンを用いると、ワード線の形成される方向については、溝を埋め込んだ多結晶シリコンの表面がほぼ平坦になっているのに対して、それと直交する方向の溝領域においては、多結晶シリコン膜に凹みが生ずる。

次に、多結晶シリコン膜13をエッチバックして、第9図(a)においては、溝側面にのみ多結晶シリコン13を残し、第9図(b)においては、多結晶シリコン13により溝を埋め込んだのち、多結晶

に、CVD法により例えばシリコン酸化膜15を堆積し、溝幅の広い溝に残存する空隙を埋め込む。なお、上記シリコン酸化膜15に代えて、シリコン窒化膜、PSG等の絶縁膜を堆積してもよい。

シリコン酸化膜15を堆積後、第11図(a)および(b)に示すようにエッチバックを行い、溝幅の広い溝の空隙に埋め込んだシリコン酸化膜15の表面を平坦化する。上記エッチバックには、例えば CF_4 と水素の混合ガスによるRIE法を用いる。次に、p形シリコン薄膜3の上面にn形不純物として例えばヒ素をイオン注入してMIS形FETの拡散層16を形成する。イオン注入は例えば加速電圧50～100 keV、ドーズ量 $1 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-2}$ でマスクを用いずに行う。続いて、注入したヒ素を電気的に活性化するため900～1000℃程度で熱処理を行なう。次に、シリコン酸化膜4をフッ酸を含む混合液により除去して上記拡散層16を露出したのちビット線として作用するシリサイド膜を公知の方法により形成する。シリサイド

膜は例えば以下のように形成する。シリサイド

膜を形成する金属として例えばモリブデン膜17をスパッタ法により膜厚20~200nmを堆積したのち、アモルファスシリコン膜18をスパッタ法により膜厚50~200nm堆積する。なお、上記薄膜の堆積順序を逆にして、アモルファスシリコン膜を堆積したのちモリブデン膜を後に堆積してもよい。以下では、モリブデン膜を先に堆積する場合を説明する。

続いて、公知のリソグラフィ工程によりパターンニングしたレジストをマスクにアモルファスシリコン膜18をエッチングしたのち、上記レジストを除去し、不活性ガス雰囲気中、400~600℃で熱処理を行い、モリブデンとシリコンを反応させて、モリブデンシリサイド膜19を形成する。続いて、シリサイド反応に寄与しなかったモリブデンをリン酸と硝酸を含む混合液により除去し、第12図(a)および(b)の断面形状を得る。上記リソグラフィ工程における溝とシリサイド層との層間合わせ誤差は狭い溝幅より小さいことが必要であるが、本実施例では0.4μmとしており公知のリソ

および(b)の断面構造を得たとする。実施例1で説明した方法により多結晶シリコン膜13をエッチバックし、溝幅の広い溝においては溝側面のみが多結晶シリコン膜13を残し、溝幅の狭い溝においては、多結晶シリコン膜13により溝を埋め込み、その表面がp形シリコン薄膜の上面とほぼ一致するようにする。続いて、第13図(a)および(b)に示すようにシリサイドを形成する金属として例えばモリブデン膜20を膜厚20~100nm堆積する。

次に、不活性雰囲気中、400~600℃で熱処理を行いモリブデンと多結晶シリコンを反応させモリブデンシリサイド膜21を形成させたのち、シリサイド反応に寄与しなかったモリブデンをリン酸と硝酸を含む混合液により除去し、さらに、シリコン窒化膜5を除去し、第14図(a)および(b)の構造を得る。次に、CVD法によりシリコン酸化膜を残った溝内に堆積したのち、エッチバックして表面を平坦化する。

以降の工程は、実施例1の第11図(a)および(b)に示した通りである。このように本発明の半導体装置の製造法においてはn形拡散層16をゲート電極形成前に形成することが可能である。この

グラフィ工程で達成できる値である。以上により、多結晶シリコン13によるワード線とシリサイド膜19によるビット線が形成され、DRAMのメモリセル部が完成する。本実施例ではビット線のシリサイドを形成するのにモリブデンを用いたが、モリブデンに代えて、タタンニオブ、タングステン等の元素周期律表におけるⅢA、ⅣA、ⅤA族の金属、あるいは、コバルト等のⅥ族の金属を用いてもよい。また、ビット線は、通常のリソグラフィ工程によって形成するので、アルミニウムやシリコン入りアルミニウムあるいはモリブデン、タングステンなどの金属を使用することが可能である。なお、以上の工程で用いられたリソグラフィ用マスクは、溝およびビット線形成用の2層のみである。

実施例2

実施例1においてワード線には多結晶シリコンを用いたが、ワード線にシリサイドを用いる場合の製造方法について説明する。

実施例1に説明した製造方法により第8図(a)お

以降に示したとおりである。

実施例3

実施例1、2においては、溝側面をチャンネルとするMIS形FETのゲートを形成して、隣接するゲート間の隙間をシリコン酸化膜で埋め込んだのちに、p形シリコン薄膜3の上面に拡散層を形成していたが、実施例3では該拡散層を上記ゲート電極形成前に形成する方法について述べる。

第3図に示す構造を得る工程において、シリコン酸化膜4を形成したのち、n形不純物をイオン注入する。イオン注入は、例えばヒ素を用いて、加速電圧50~100keV、ドーズ量 $1 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-2}$ で行う。続いて、シリコン窒化膜5、シリコン酸化膜6を堆積して、第15図に示す構造を得る。第15図において、16はn形拡散層である。この層は電氣的に活性化するため900~1000℃で熱処理される。以降の工程は実施例1に示した通りである。このように本発明の半導体装置の製造法においてはn形拡散層16をゲート電極形成前に形成することが可能である。この

ことは、ゲート電極を形成する上でのゲート電極材料の選択の自由度を大きくせしめる重要な意味を持っている。すなわち、 n 形拡散層16を形成する前にゲート電極を形成してしまうと、拡散層を形成するときの900～1000℃の熱処理にゲート電極が耐える必要があり、この制約からゲート電極材料としてポリシリコンかまたはポリシリコンとシリサイドの2層構造体かまたはシリサイドに限られていたものであるが、ゲート電極を拡散層の形成後に形成できることとなれば、拡散層形成後は高温熱処理を必要としないので、ゲート電極材料には耐熱性の低いものでも適用でき、特にアルミニウムやモリブデンやタングステンなどの抵抗値の低い金属も適用できることとなり、半導体装置の高速動作を可能ならしめることとなる。

[発明の効果]

以上説明したように、一方向が他方向より狭い格子状の溝により分割した島状のシリコン薄膜の側面上部にMIS形FETを、側面下部にキャパシタを形成したメモリセルにおいては

(i)個々のセルは溝で分割されているためセル間の電氣的干渉が防止できる、(ii)セル間を選択酸化法により分離する必要がないためセルの高密度化ができる、(iii)電荷を溝で分離された島状のシリコン薄膜側面の該薄膜側に貯えるため、アルファ線によるソフトエラーが防止できる利点をもつ。また、ビット線を形成するのに、コンタクトホールを介さずに、FETの拡散層上に直接シリサイドを形成しているため、(iv)溝とビット線との層間合わせ余裕を大きくとる必要がないためセル面積を縮小できる利点がある。

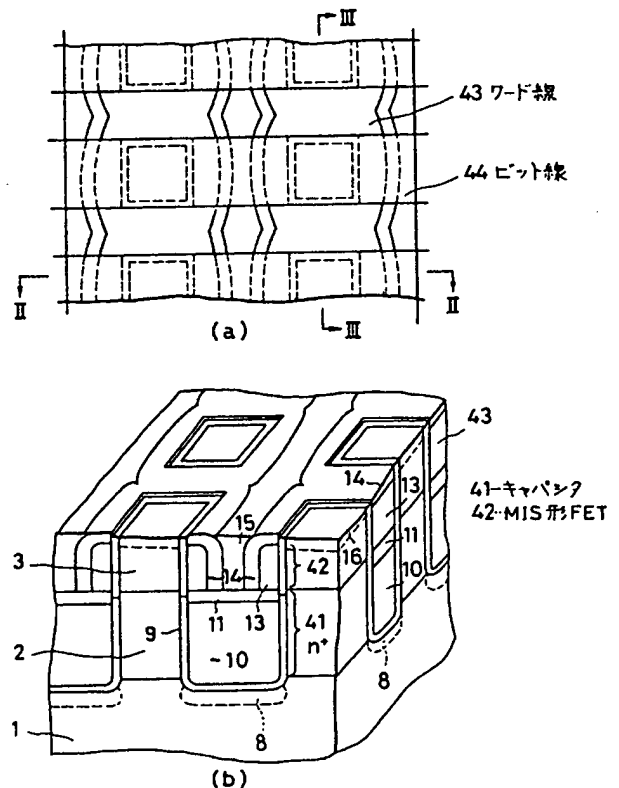
また、上記のメモリセルの製造においては、(v)2層のリソグラフィ用マスクで製造できるという利点がある。

4. 図面の簡単な説明

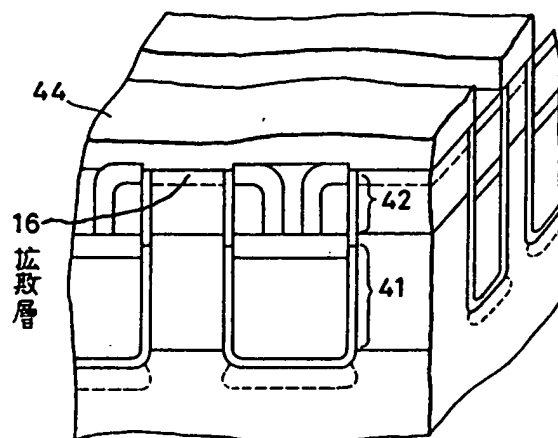
第1図(a)、(b)および(c)は本発明によるメモリセルの平面図、ワード線までを形成した斜視図およびビット線までを形成した斜視図であり、第1図(b)は、本発明の特徴を最もよく表している。第2図ないし第12図は本発明の第1の実施例による

製造方法における各工程での断面図である。第13図および第14図は本発明の第2の実施例による製造方法のうち第1の実施例と異なる工程を示す図、第15図は本発明に係る n 形拡散層をゲート電極形成前に形成する第3の実施例を説明するための図、第16図(a)および(b)は従来の方法によるメモリセルの平面図および断面図である。

1… p 形シリコン基板、2… n 形シリコン薄膜、3… p 形シリコン薄膜、4、6、15、34…シリコン酸化膜、5…シリコン窒化膜、7…レジストパタレ、8… p 形高濃度層、9…キャパシタ用絶縁膜、10…導電体、11、14…絶縁膜、12…ゲート絶縁膜、13…ゲート電極、16、32、35… n 形拡散層、18…アモルファスシリコン膜、17、20…モリブデン膜、19、21…モリブデンシリサイド膜、30…穴、31…キャパシタ電極、33…チャネル領域、41…キャパシタ、42…MIS形FET、43…ワード線、44…ビット線。

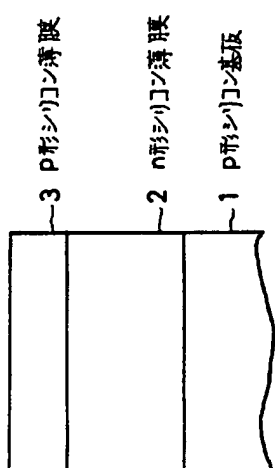


第1図

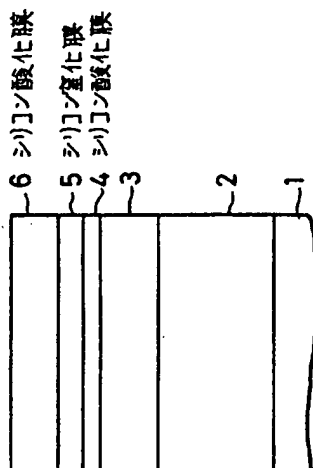


(C)

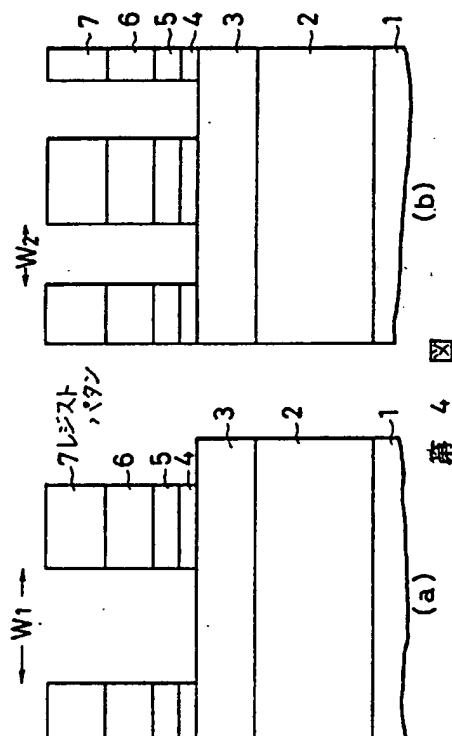
第 1 図



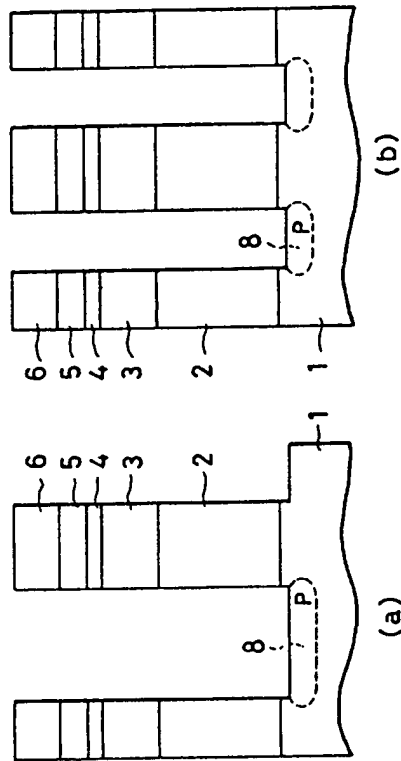
第 2 図



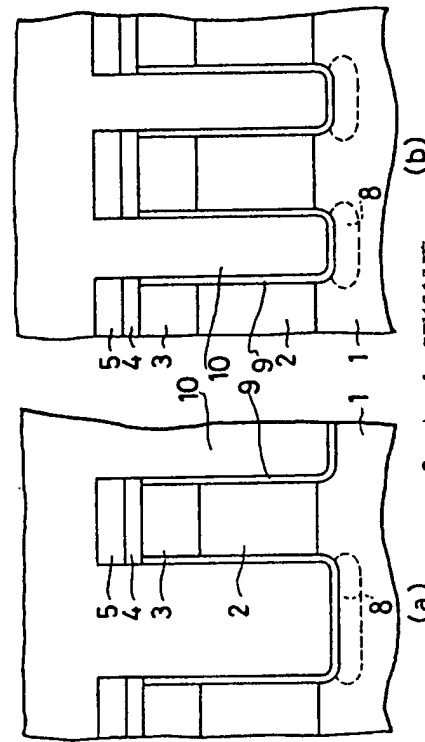
第 3 図



第 4 図

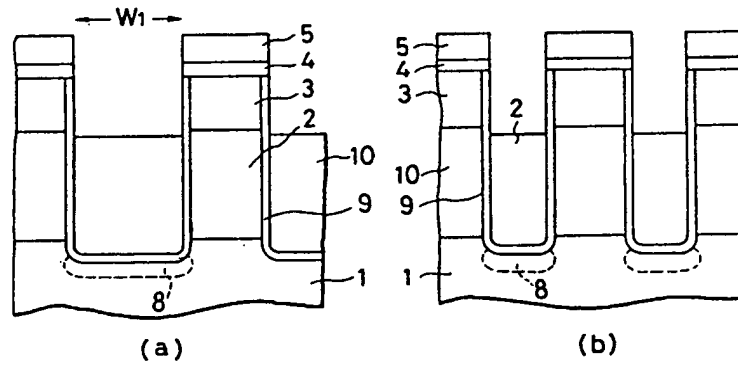


第 5 図

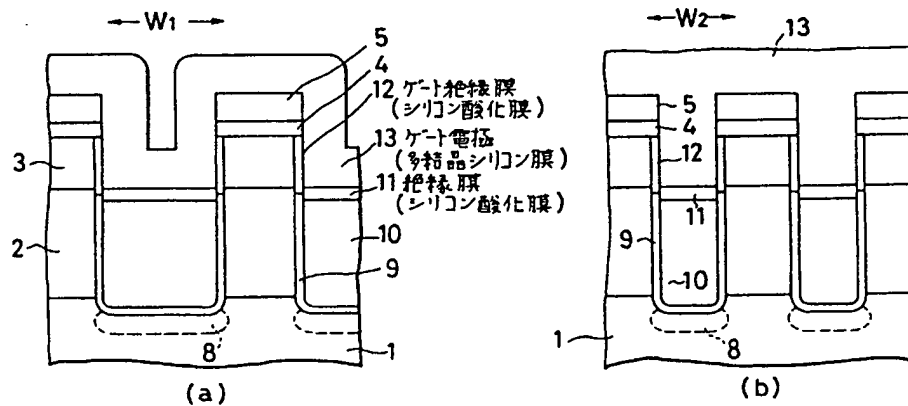


第 6 図

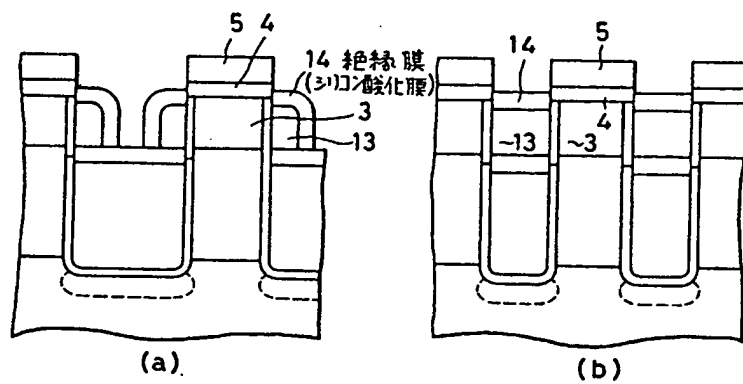
9.....キャパシタ用絶縁膜
(シリコン酸化膜)
10.....導電体
(多結晶シリコン膜)



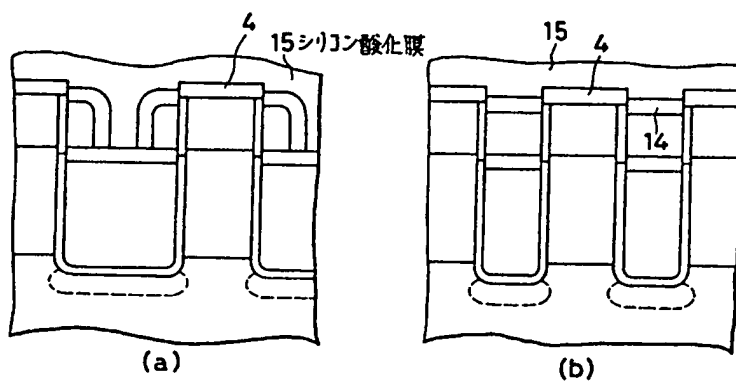
第 7 図



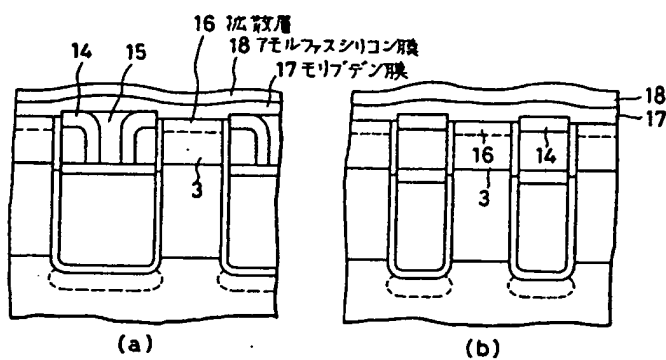
第 8 図



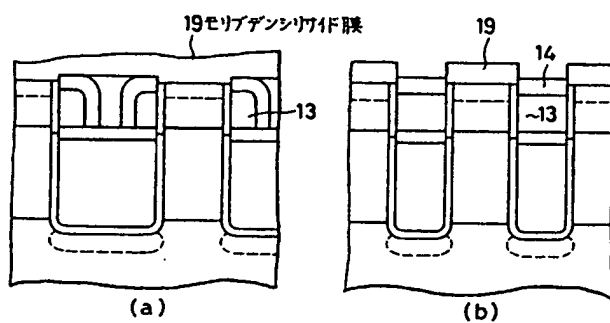
第 9 図



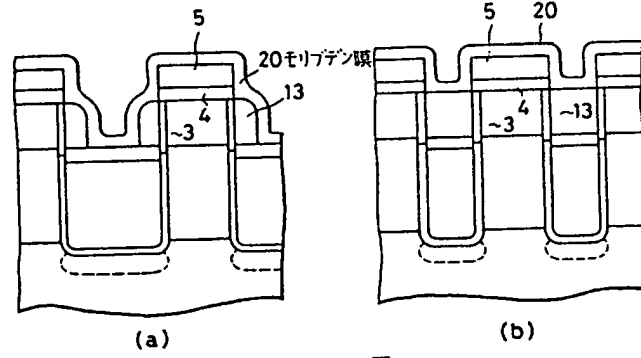
第 10 図



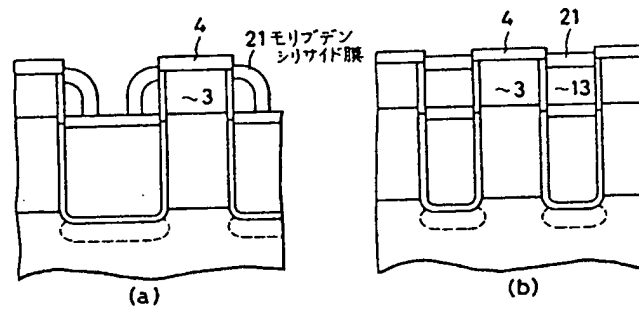
第 11 図



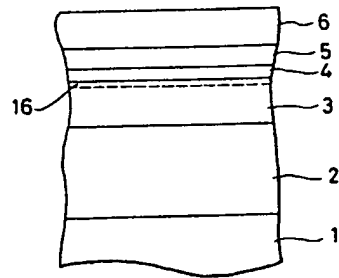
第 12 図



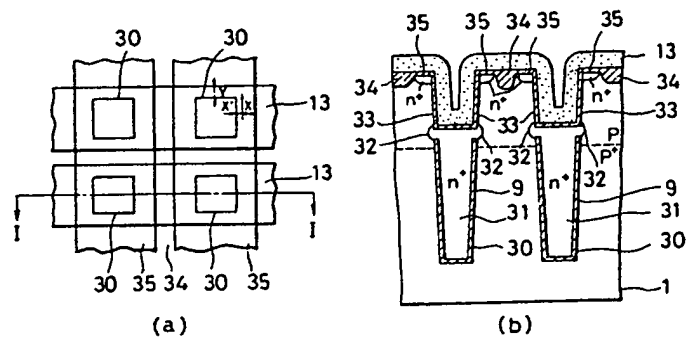
第 13 図



第 14 図



第 15 図



第 16 図